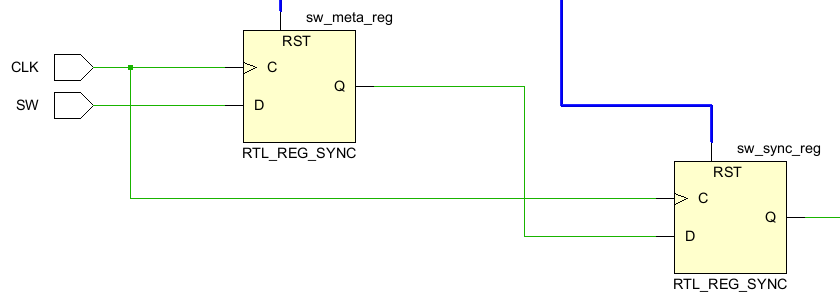
1. תכנון סנכרוני הוא תכנון מעגל דיגיטלי בFPGA בו כל הרכיבים פועלים לפי שעון משותף אחד. מפשט את התכנון ומקל על הבנת פעולת המערכת.
   1. פשוט
   2. קל לתחזוקה וdebug
2. 2 FF – כדי לסנכרן את אות הכניסה – double sampling
3. דגימה בזמן חוסר יציבות לא תספק לי את הערך הרצוי – meta stability
4. לא לחלוטין
   1. 
5. זמן הדרוש לאות כניסה להיות במצב יציב לפני עליית השעון
   1. - METASTABILITY - באם האות לא היה יציב Setup time – לפני עליית השעון.
6. סנכרון 2 רגיסטרים ל-SW
   1. 

גילוי שינויים ומעגל המנייה

1. גוזר הוא מעגל שמזהה עליית מ-0 ל-1 של סיגנל. לשעון ניתן להשתמש בrising\_edge